

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-093870
(43)Date of publication of application : 29.03.2002

(51)Int.Cl. H01L 21/66
C23F 4/00
G01B 11/22
H01L 21/3065

(21)Application number : 2000-275162
(22)Date of filing : 11.09.2000

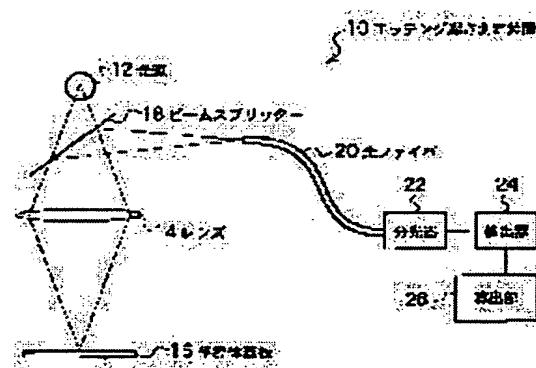
(71)Applicant : TOSHIBA CORP
(72)Inventor : SAKAI TAKAYUKI
MIYOSHI MOTOSUKE
MIKAMI TORU
KIKUCHI TOSHIHIKO
OIWA NORIHISA

(54) ETCHING-DEPTH MEASURING METHOD AND APPARATUS, AND ETCHING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an etching-depth measuring apparatus which can measure the depth of a wiring groove in a damascene processing with high accuracy.

SOLUTION: The etching-depth measuring apparatus includes a light source 12 for irradiating light onto a substrate 16, having an etching groove made in an insulating film layer arranged in an upper part of a wiring structure, a detector 24 for detecting the part of light reflected from the substrate 16 and having wavelengths longer than twice the wiring spacing of the wiring structure, and a calculator 26 for calculating at least either the thickness of the insulating film layer or the depth of the etching depth, on the basis of the intensity of light detected by the detector 24.



LEGAL STATUS

[Date of request for examination] 18.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-93870

(P2002-93870A)

(43)公開日 平成14年3月29日(2002.3.29)

(51) Int.Cl.⁷
 H 01 L 21/66
 C 23 F 4/00
 G 01 B 11/22
 H 01 L 21/3065

識別記号

F I
 H 01 L 21/66
 C 23 F 4/00
 G 01 B 11/22
 H 01 L 21/302

テマコト^{*}(参考)
 P 2 F 0 6 5
 F 4 K 0 5 7
 G 4 M 1 0 6
 E 5 F 0 0 4

審査請求 未請求 請求項の数6 OL (全8頁)

(21)出願番号 特願2000-275162(P2000-275162)

(22)出願日 平成12年9月11日(2000.9.11)

(71)出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号(72)発明者 酒井 隆行
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内(72)発明者 三好 元介
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内(74)代理人 100083806
弁理士 三好 秀和 (外7名)

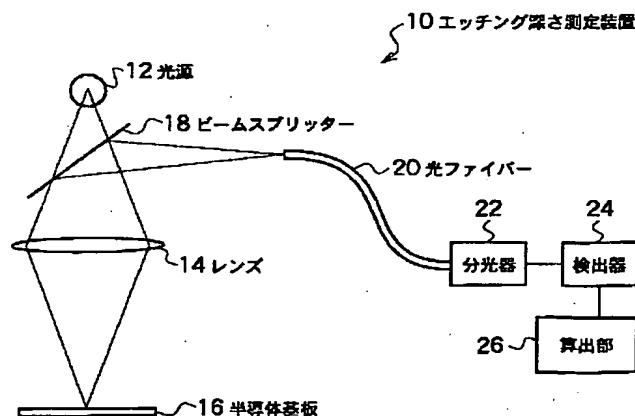
最終頁に続く

(54)【発明の名称】エッチング深さ測定方法および装置、エッティング方法

(57)【要約】

【課題】 ダマシン加工における配線溝の深さを高精度に測定することができるエッティング深さ測定装置を提供する。

【解決手段】 配線構造の上部に配置された絶縁膜層の内部に形成されたエッティング溝を有する基板16に対して光を照射する光源12と、基板16からの反射光のうち、配線構造の配線間隔の2倍よりも大きい波長を有する光を検出する検出器24と、検出器24によって検出された光の強度に基づいて、絶縁膜層の膜厚およびエッティング溝の深さのうちの少なくとも一方を算出する算出部26と、から構成されたエッティング深さ測定装置である。



【特許請求の範囲】

【請求項1】 配線構造の上部に配置された絶縁膜層の内部に形成されたエッティング溝を有する基板に対して光を照射する工程と、該基板からの反射光のうち、前記配線構造の配線間隔の2倍よりも大きい波長を有する光を検出する工程と、該検出された光の強度に基づいて、前記絶縁膜層の膜厚およびエッティング溝の深さのうちの少なくとも一方を算出する工程とを少なくとも含むことを特徴とするエッティング深さ測定方法。

【請求項2】 前記光を照射する工程は、前記基板への入射光の電場方向が、前記配線構造の配線方向に対して平行となるように、前記光を偏光させる工程を含む、ことを特徴とする請求項1に記載のエッティング深さ測定方法。

【請求項3】 配線構造の上部に配置された絶縁膜層の内部に形成されたエッティング溝を有する基板に対して光を照射する光源と、

該基板からの反射光のうち、前記配線構造の配線間隔の2倍よりも大きい波長を有する光を検出する検出器と、該検出器によって検出された光の強度に基づいて、前記絶縁膜層の膜厚およびエッティング溝の深さのうちの少なくとも一方を算出する算出部とを具備することを特徴とするエッティング深さ測定装置。

【請求項4】 前記光源と前記基板との間に配置され、前記基板への入射光の電場方向が、前記配線構造の配線方向に対して平行となるように、前記光を偏光させる偏光光学系を、さらに具備することを特徴とする請求項3に記載のエッティング深さ測定装置。

【請求項5】 配線構造の上部に配置された絶縁膜層を有する基板をエッティングチャンバーに搬入する工程と、エッティングにより前記絶縁膜層の内部にエッティング溝を形成する工程と、

該エッティング中に、前記エッティング溝の深さを一定時間ごとに測定する工程とを少なくとも含み、

前記エッティング深さ測定工程は、さらに、

前記基板に対して光を照射するステップと、

前記基板からの反射光のうち、前記配線構造の配線間隔の2倍よりも大きい波長を有する光を検出するステップと、

該検出された光の強度に基づいて、前記絶縁膜層の膜厚およびエッティング溝の深さのうちの少なくとも一方を算出するステップとを少なくとも含むことを特徴とするエッティング方法。

【請求項6】 前記光を照射するステップは、前記基板への入射光の電場方向が、前記配線構造の配線方向に対して平行となるように、前記光を偏光させるステップを含む、ことを特徴とする請求項5に記載のエッティング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ドライエッティング工程における、エッティング深さを測定する方法および装置に係り、特に、配線構造の上部に配置された絶縁膜層の内部に配線溝を形成する際に、その絶縁膜層の厚さおよび形成された配線溝の深さを測定することができる方法および装置、並びに、そのエッティング深さ測定方法を用いたエッティング方法に関する。

【0002】

【従来の技術】半導体装置の製造工程では従来より、配線構造を次のような方法で形成している。まず最初に、半導体基板の全面に、後に加工されて配線を構成する金属膜層を堆積する。金属膜層堆積後、リソグラフィー技術によってレジストパターンを金属膜層の上部に形成する。そして、そのレジストパターンをエッティングマスクとして用いて、金属膜層を反応性イオンエッティングすることで、配線構造を形成する。

【0003】しかしながら、近年の半導体装置の高集積化、高密度化に伴い、上述した、反応性イオンエッティングによる配線構造の形成は、技術的に困難になる一方である。このため、絶縁膜層の内部にあらかじめ配線溝を形成し、その配線溝の内部に配線を構成する金属膜層を埋め込む、ダマシン加工を採用する傾向が大きくなっている。ところが、このダマシン加工では、絶縁膜層の内部に形成される配線溝の深さは、通常、そのエッティング時間を管理することで制御されている。具体的には、たとえば、数回の予備実験からエッティング速度をあらかじめ算出し、その速度を用いたエッティング時間制御によってエッティング深さを定めている。したがって、配線溝加工時のエッティング状態の予期せぬ変動等によって、その制御性、再現性が低下し、配線溝の深さ、すなわち、配線断面積にバラツキが生じてしまうという問題点がある。

【0004】

【発明が解決しようとする課題】上述したように、従来のダマシン加工では、エッティング時間の管理によって配線溝の深さを制御している。このため、配線溝の深さの制御性を向上させることができることが困難であるという問題があった。

【0005】本発明は、このような課題を解決し、ダマシン加工における配線溝の深さを高精度で測定することができるエッティング深さ測定方法および装置を提供することを目的とする。

【0006】本発明の他の目的は、ダマシン加工における配線溝の深さを、そのエッティング中に測定することで、その深さの制御性を向上させることができるエッティング方法を提供することである。

【0007】

【課題を解決するための手段】上記課題を解決するため、本発明は、配線構造の上部に配置された絶縁膜層の

内部に形成されたエッティング溝を有する基板に対して光を照射する光源と、その基板からの反射光のうち、配線構造の配線間隔の2倍よりも大きい波長を有する光を検出する検出器と、その検出された光の強度に基づいて、絶縁膜層の膜厚およびエッティング溝の深さのうちの少なくとも一方を算出する算出部と、を具備するエッティング深さ測定装置であることを特徴とする。

【0008】本発明によれば、入射光の波長の1/2よりも配線構造の配線間隔が短いため、配線層よりも下層には入射光が到達しない。このため、得られる反射光強度には配線層よりも下の構造は影響を与えない。したがって、配線層よりも下に複雑な構造が存在しても、それらは無視でき、反射強度分布から、配線層よりも上層に位置するエッティング深さを求める際に、配線層よりも上の単純な膜構造による反射光のみを考慮すれば良く、精度良く膜厚およびエッティング深さを算出することが可能となる。

【0009】

【発明の実施の形態】以下図面を参照して、本発明の実施の形態について説明する。以下の図面の記載において、同一または類似の部分には同一または類似の符号が付してある。

【0010】(第1の実施の形態) 図1は、本発明の第1の実施の形態に係るエッティング深さ測定装置の概略構成図である。この第1の実施の形態に係るエッティング深さ測定装置10は、可視光領域から赤外領域にかけて連続スペクトル分布を有するタンゲステンランプを光源12として備えている。そして、図1に示すように、光源12からの光を、レンズ14を用いた縮小光学系によって、半導体基板16上に照射する。半導体基板16からの反射光は、ビームスプリッター18および光ファイバーバー20を通って、分光器22に入力される。分光器22は入力した反射光を分光した後、検出器24に出力する。そして、検出器24は、波長ごとの反射強度を検出し、その検出結果を算出部26に出力する。算出部26は、検出結果に基づいて、半導体基板16上の所定箇所のエッティング深さを算出する。

【0011】次に、本発明の第1の実施の形態に係るエッティング深さ測定装置の被測定対象である半導体基板16について説明する。図2は、図1の半導体基板16の一例を示す断面図である。図2に示すように、この半導体基板16の主面上には、第1の層間絶縁膜層28、および、配線構造を有する第1の配線層30が順次配置されている。第1の配線層30の配線構造は、周期的なものであっても、非周期的なものであっても構わない。そして、第1の配線層30の上部には、第2の層間絶縁膜層32が配置されており、この第1の実施の形態は、この第2の層間絶縁膜層32の内部に形成され、後に第2の配線層が埋め込まれる配線溝の深さを測定するものである。第2の層間絶縁膜層32上には、レジストパター

ン34が形成されており、このレジストパターン34がエッティングマスクの役目を果たすことになる。ここで、レジストパターン34と第1の配線層30の配線パターンとの位置関係を図3に示す。図3は、図2のレジストパターン34と第1の配線層30の配線パターンとの位置関係を示す平面図である。図3に示すように、本発明の第1の実施の形態では、レジストパターン34と第1の配線層30の配線パターンとは、直交しているものとする。もちろん、本発明は、この位置関係に限るものではない。

【0012】次に、本発明の第1の実施の形態に係るエッティング深さ測定装置10の動作について説明する。ここでは、図2の第1の配線層30として、幅175nm、厚さ250nm、線間175nmのタンゲステンを用いている。また、第1の層間絶縁膜層28および第2の層間絶縁膜層32は共にシリコン酸化膜で構成し、第1の層間絶縁膜層28の厚さを450, 550, 650nmの3種類、第2の層間絶縁膜層30の厚さを850, 900, 950, 1000, 1050nmの5種類としている。さらに、レジストパターン34は、幅175nm、ピッチ350nm(間隔175nm)、厚さ450nmとした。

【0013】図4および図5は、図1のエッティング深さ測定装置10を用いて得られた、上記の半導体基板16の反射光の波長スペクトルを示す図である。図4は、図2の第1の層間絶縁膜層28の厚さを550nmに固定し、第2の層間絶縁膜層32の厚さを850, 900, 950, 1000, 1050nmと振ったときのスペクトルを重ねて示している。一方、図5は、図2の第2の層間絶縁膜層32の厚さを950nmに固定し、第1の層間絶縁膜層28の厚さを450, 550, 650nmと振ったときのスペクトルを重ねて示している。なお、図4および図5では、図1の検出器24によって検出される反射光の波長領域は、900nmから1600nmの赤外領域である。

【0014】本発明の第1の実施の形態に係るエッティング深さ測定装置10の最大の特徴は、検出器24が検出する反射光の波長領域を、図2に示した半導体基板16上の第1の配線層30の間隔の2倍よりも大きい値とする点にある。このような値の波長領域を有する光は、第1の配線層30を透過することができず、このため、エッティング深さ測定装置10に得られる反射干渉波形に寄与する層は、第1の配線層30よりも上方の層のみとなる。一方、第1の配線層30よりも下方の層は、何ら反射干渉波形に影響を及ぼすことはない。

【0015】上記のこととは、図4および図5から明らかである。図4から明らかなように、第1の配線層30よりも上方に位置する第2の層間絶縁膜層32の厚さを850nmから1050nmまで変化させた場合、その変化に伴って、波長スペクトルも変化していく。一方、図5

から明らかなように、第1の配線層30よりも下方に位置する第1の層間絶縁膜層28の厚さを450nmから650nmまで変化させても、得られる波長スペクトルはほとんど変化しない。すなわち、第1の配線層30より下方の第1の層間絶縁膜層28の厚さは、得られる波長スペクトルの形状に影響を及ぼすことはない。

【0016】次に、本発明の第1の実施の形態に係るエッティング深さ測定装置10のエッティング深さの算出方法について説明する。上記の半導体基板16の場合、レジストパターン34の幅、間隔は、共に175nmであり、これらは検出される波長よりも十分短いものである。したがって、このレジストパターン34は、レジストと真空の平均的な屈折率を有する均一な混合層であるとみなすことができる。すなわち、このレジストパターン34は、等価屈折率領域とみなすことができる（たとえば、菊田久雄、Vol25, No.5, p543, 0 Plus E. 参照）。したがって、上記の半導体基板16の場合、第1の配線層30よりも上層を、第2の層間絶縁膜32と混合層（レジストパターン34）との多層膜とみなすことができる。そして、この多層膜に対して、分光干渉反射率の理論（たとえば、G. R. Fowles, Introduction to Modern Optics, Dover Publications, Inc., New York (1975) 参照）を用いて、膜厚をパラメータとして測定値をフィッティングすることにより、各層の厚さを算出することができる。以上の算出方法は、図1の算出部26によって実行され、この算出部26は、たとえば、ソフトウェアや、ハードウェア化されたプログラム等によって実現可能である。

【0017】図6は、図1の半導体基板16の他の一例を示す断面図である。図6に示すように、この半導体基板の主面上には、ゲート電極36が配置されている。ゲート電極36を含む半導体基板16上には、図2の例と同様に、第1の層間絶縁膜層38、および、配線構造を有する第1の配線層40が順次配置されている。そして、第1の配線層40の上部には、第2の層間絶縁膜42が配置されており、この第2の層間絶縁膜層42の内部に、後に第2の配線層が埋め込まれる配線溝が形成される。第2の層間絶縁膜層42上には、レジストパターン44が形成されており、このレジストパターン44がエッティングマスクの役目を果たすことになる。ここでも、図2の例の場合と同様、レジストパターン44と第1の配線層40の配線パターンとは、直交しているものとする。もちろん、本発明は、この位置関係に限るものではない。

【0018】図6の場合、図2の例と同様、第1の配線層40よりも下方の層は、反射スペクトルに影響を与えることはない。この場合、第1の配線層40の上方の層を、図6に示すように、第1の層Aと第2の層Bとからなる多層膜とみなすことができる。ここで、第1の層Aは第2の層間絶縁膜層42に相当し、第2の層Bはレジ

スト44と真空とから成る混合層に相当する。そして、第1の層Aの厚さを、上述した分光干渉反射率の理論に基づいて算出することで、第2の層間絶縁膜層42の厚さを求めることができる。

【0019】次に、図2に示した半導体基板16を反応性イオンエッチングすることで、第2の層間絶縁膜層32の内部に複数の配線溝46を形成した場合について説明する。図7は、図2の半導体基板16を反応性イオンエッチングした後の断面図である。図7の場合、第1の配線層30よりも上方の層は、第1の層C、第2の層Dおよび第3の層Eから成る多層膜とみなすことができる。ここで、第1の層Cは第1の層間絶縁膜層32aに相当し、第2の層Dは層間絶縁膜層32bと真空とから成る第1の混合層に相当し、第3の層Eはレジスト34と真空とから成る第2の混合層に相当する。そして、第2の層Dの厚さを算出することで、配線溝の深さを求めることができる。

【0020】以上説明したように、本発明の第1の実施の形態によれば、ドライエッチング工程における、エッティング深さを容易に、かつ、高精度に測定することが可能となる。特に、本発明の第1の実施の形態によれば、ダマシン加工によって多層配線構造を実現する場合、下層の配線層より下層の構造からの影響を受けることなく、上層の配線層を構成する配線溝の深さを高精度に測定することが可能となる。したがって、多層配線構造を実現する上で、本発明の工業的価値は非常に大である。

【0021】（第2の実施の形態）次に、本発明の第2の実施の形態について説明する。図8は、本発明の第2の実施の形態に係るエッティング深さ測定装置の概略構成図である。この第2の実施の形態は、図1に示した第1の実施の形態において、光源12とビームスプリッター18との間に偏光板48を配置し、半導体基板16への入射光を偏光させるようにした例である。この第2の実施の形態によれば、この入射光の偏光によって、より一層精度良く、エッティング深さの測定が可能となる。

【0022】以下、具体的に、本発明の第2の実施の形態の動作について説明する。図9は、図8のエッティング深さ測定装置10aを用いて得られた、半導体基板16の反射光の波長スペクトルを示す図である。ここで、測定に用いた半導体基板16は、上記の第1の実施の形態と同様の条件のものを用いている。図8の検出器24によって検出される反射光の波長領域は、350nmから1000nmの可視光の領域である。また、図9において、「偏光方向：平行」とは、半導体基板16への入射光の電場方向が第1の配線層30の配線方向と平行である場合を示し、「偏光方向：垂直」とは、半導体基板16への入射光の電場方向が第1の配線層30の配線方向と直角である場合を示している。

【0023】図9から明らかなように、偏光方向を変化させれば、反射スペクトルも変化することがわかる。こ

の変化は、以下に述べる理由によるものである。すなわち、入射光の電場方向が第1の配線層30の配線方向に直交する場合、入射光は第1の配線層30を透過してしまう。このため、第1の配線層30の下部の第1の層間絶縁膜層28の厚さが反射スペクトルに影響を及ぼしてしまう。一方、入射光の電場方向が第1の配線層30の配線方向に平行である場合、入射光は第1の配線層30を透過することができず、第1の配線層30で反射してしまう。したがって、この場合、反射スペクトルは第1の層間絶縁膜層28の厚さに影響されることはない。

【0024】本発明の第2の実施の形態のエッティング深さ測定装置10aは、上記の点に着目して構成されたものである。すなわち、多層配線構造を実現する場合において、既に形成済みの下層の配線方向に電場方向が平行となるように、入射光の偏光状態を調節し、その電場方向が調節された入射光を用いて、上層の配線溝の深さを測定する。このため、下層配線より下の層の構造は、何ら測定に影響を及ぼすことではなく、それにより、より一層高精度に測定することが可能となる。

【0025】本発明の第2の実施の形態では、半導体基板16からの反射光が偏光板48を通過することを避けるために、偏光板48を光源12とビームスプリッター18との間に配置しているが、本発明はこの配置に限るものではない。たとえば、反射光が偏光板48を通過するようにしてもちろん構わない。具体的には、ビームスプリッター18とレンズ14との間、レンズ14と半導体基板16との間に配置しても良い。

【0026】(第3の実施の形態) 次に、本発明の第3の実施の形態について説明する。図10は、本発明の第3の実施の形態に係るエッティング装置の概略構成図である。この第3の実施の形態は、周知のドライエッティング装置に、上記の第1の実施の形態に係るエッティング深さ測定装置10を設けた例を示すものである。図10に示すように、この第3の実施の形態に係るエッティング装置は、第1の実施の形態のエッティング深さ測定装置10を備えることにより、ドライエッティング工程における、エッティング深さを“in-situ”で測定し、さらに、その測定結果をフィードバックすることで、エッティング深さを高精度に制御して形成することを可能とする。図10では、第1の実施の形態に係るエッティング深さ測定装置10を備えた例を示しているが、第1の実施の形態に係るエッティング装置10に替えて、上記の第2の実施の形態に係るエッティング深さ測定装置10aを備え付けても良いことはもちろんである。

【0027】本発明の第3の実施の形態のエッティング装置では、エッティングチャンバー50内に下部電極52が配置する。この下部電極52の上面には、エッティングされる半導体基板16が載置される。また、下部電極52は、マッチングネットワーク(図示しない)を介して、高周波電源(図示しない)に接続する。

【0028】エッティングチャンバー50には、反応性ガスをチャンバー50内に導入するためのガス供給管(図示しない)、およびチャンバー50内のガスを排気する排気管(図示しない)が設けられている。さらに、エッティングチャンバー50の上部には、たとえば石英ガラスから成る計測窓54が配置されている。この計測窓54を介して、半導体基板16への入射光チャンバー50内に導入され、半導体基板16からの反射光がチャンバー50内から取り出されることになる。

【0029】本発明の第3の実施の形態のエッティング装置では、エッティングチャンバー50内の下部電極52上に半導体基板16が載置された後、反応性ガスがガス供給管を介してチャンバー50内に導入される。そして、この反応性ガスがプラズマ化されると、半導体基板16に対するエッティング処理が実行される。このエッティング処理中に、光源12から光が放出されると、この光は、計測窓54を通過して半導体基板16に対して照射される。そして、半導体基板16上で反射した反射光は、計測窓54を通過してチャンバー50の外に取り出される。この反射光は、ビームスプリッター18および光ファイバー20を介して分光器22に導かれ、分光された後、検出器24によって所定の波長領域の光が検出される。算出部26は、検出結果を受け取り、その検出結果に基づいて、所定の位置のエッティング深さを算出する。算出された結果は、エッティングチャンバー50内のエッティング状態を制御するエッティング制御部(図示しない)に出力される。エッティング制御部は、その算出されたエッティング深さをモニターし、エッティング状態の制御によって、所望のエッティング深さを実現する。

【0030】本発明の第3の実施の形態によれば、エッティング処理中であっても、チャンバー50内の半導体基板16上に形成される溝の深さをリアルタイムに測定することができる。このため、所望のエッティング深さが達成できるように、エッティング時間の調整等を行なうことが可能となる。それにより、従来の時間管理のようにエッティング状態の変動等に何ら影響を受けることなく、エッティング深さを測定することができる。

【0031】

【発明の効果】本発明によれば、ダマシン加工における配線溝の深さを高精度に測定することができるエッティング深さ測定方法および装置を実現できる。

【0032】本発明によれば、ダマシン加工における配線溝の深さを、そのエッティング中に測定することで、その深さの制御性を向上させることができるエッティング方法を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るエッティング深さ測定装置の概略構成図である。

【図2】図1の半導体基板16の一例を示す断面図である。

【図3】図2のレジストパターン34と第1の配線層30の配線パターンとの位置関係を示す平面図である。

【図4】図1のエッティング深さ測定装置10によって得られる、半導体基板16の反射光の波長スペクトルの一例を示す図である。

【図5】図1のエッティング深さ測定装置10によって得られる、半導体基板16の反射光の波長スペクトルの一例を示す図である。

【図6】図1の半導体基板16の他の一例を示す断面図である。

【図7】図1の半導体基板16の他の一例を示す断面図である。

【図8】本発明の第2の実施の形態に係るエッティング深さ測定装置の概略構成図である。

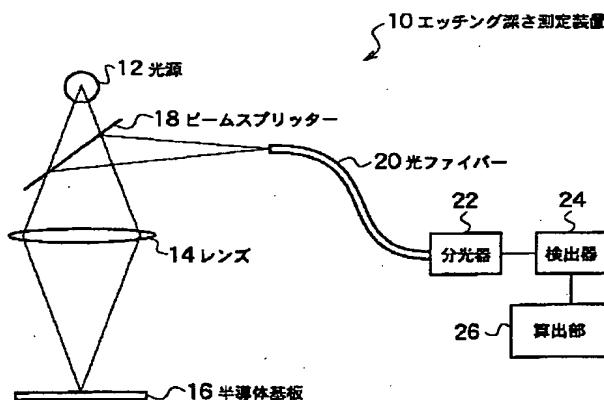
【図9】図8のエッティング深さ測定装置10aによって得られる、半導体基板16の反射光の波長スペクトルの一例を示す図である。

【図10】本発明の第3の実施の形態に係るエッティング装置の概略構成図である。

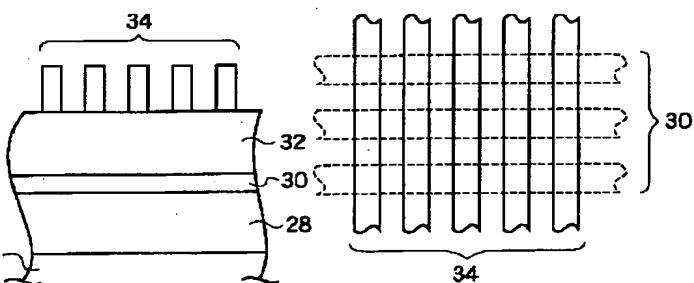
【符号の説明】

- 10 エッティング深さ測定装置
- 12 光源
- 14 レンズ
- 16 半導体基板
- 18 ビームスプリッター
- 20 光ファイバー
- 22 分光器
- 24 検出器
- 26 算出部
- 28, 38 第1の層間絶縁膜
- 30, 40 第1の配線層
- 32, 42 第2の層間絶縁膜
- 34, 44 レジストパターン
- 36 ゲート電極
- 46 配線溝
- 48 偏光板
- 50 エッティングチャンバー
- 52 下部電極
- 54 計測窓

【図1】

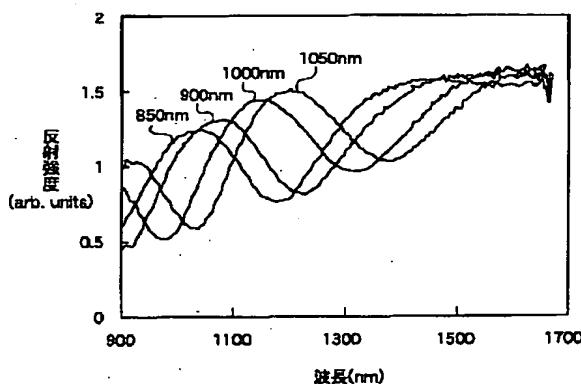


【図2】

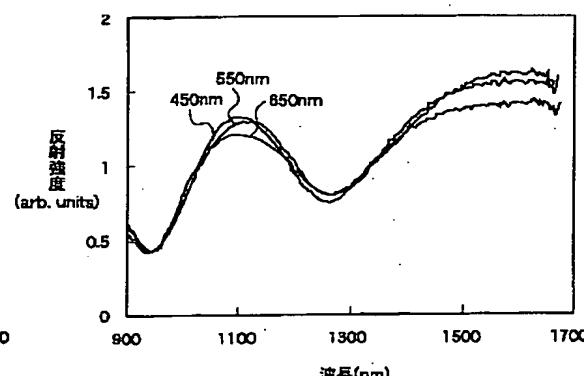


【図3】

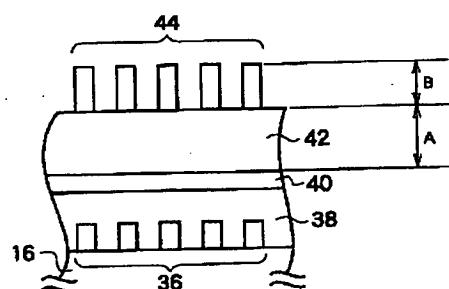
【図4】



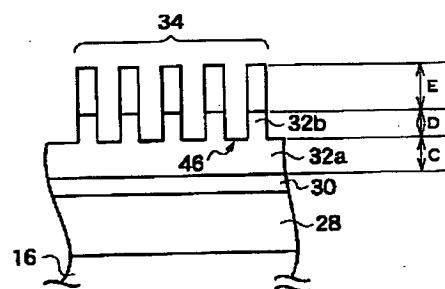
【図5】



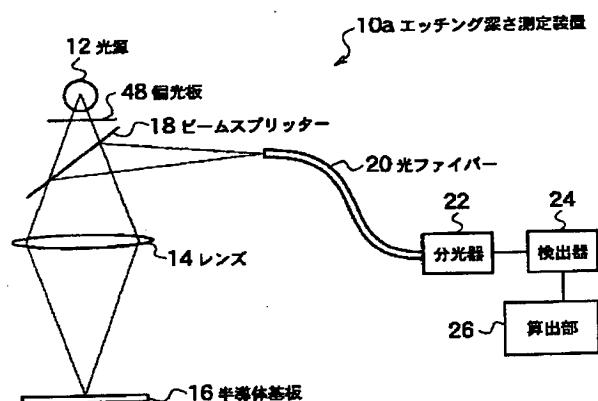
【図6】



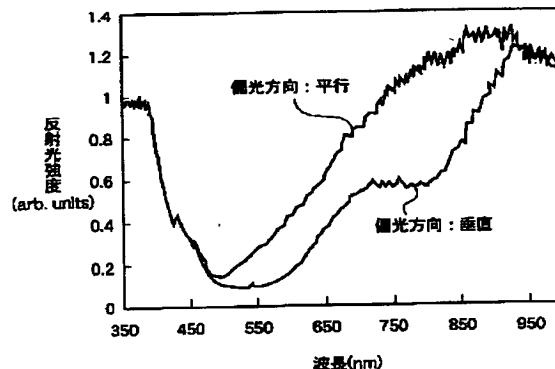
【図7】



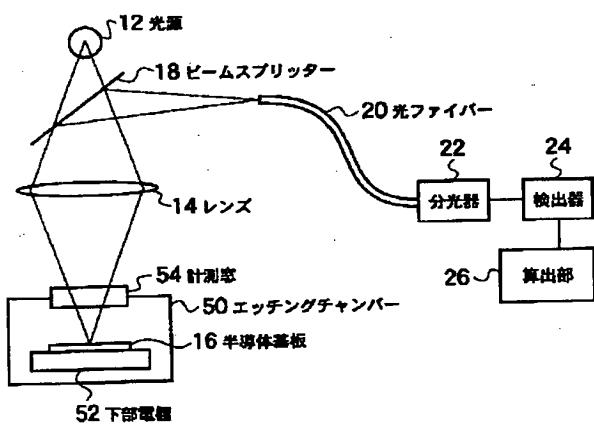
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 三上 徹

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 菊池 俊彦

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 大岩 徳久
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

F ターム(参考) 2F065 AA25 CC19 FF44 FF49 FF52
GG02 GG24 LE00 LL02 LL04
LL32 LL46 LL67
4K057 DA12 DB06 DD01 DJ07 DN01
4M106 AA01 AA20 BA04 BA06 CA48
DH03 DH12 DH31 DH38 DH40
DJ20
5F004 AA16 BB18 BC08 CB09 CB16
EA01 EB03